

© EPODOC / EPO

PN - JP7239369 A 19950912
PD - 1995-09-12
PR - US19930144939 19931029
OPD - 1993-10-29
TI - CIRCUIT AND DEVICE FOR ACCELERATING VOLTAGE RISE TIME
IN - MAIKURU SHII SUTOORII
PA - TEXAS INSTRUMENTS INC
IC - G01R31/28

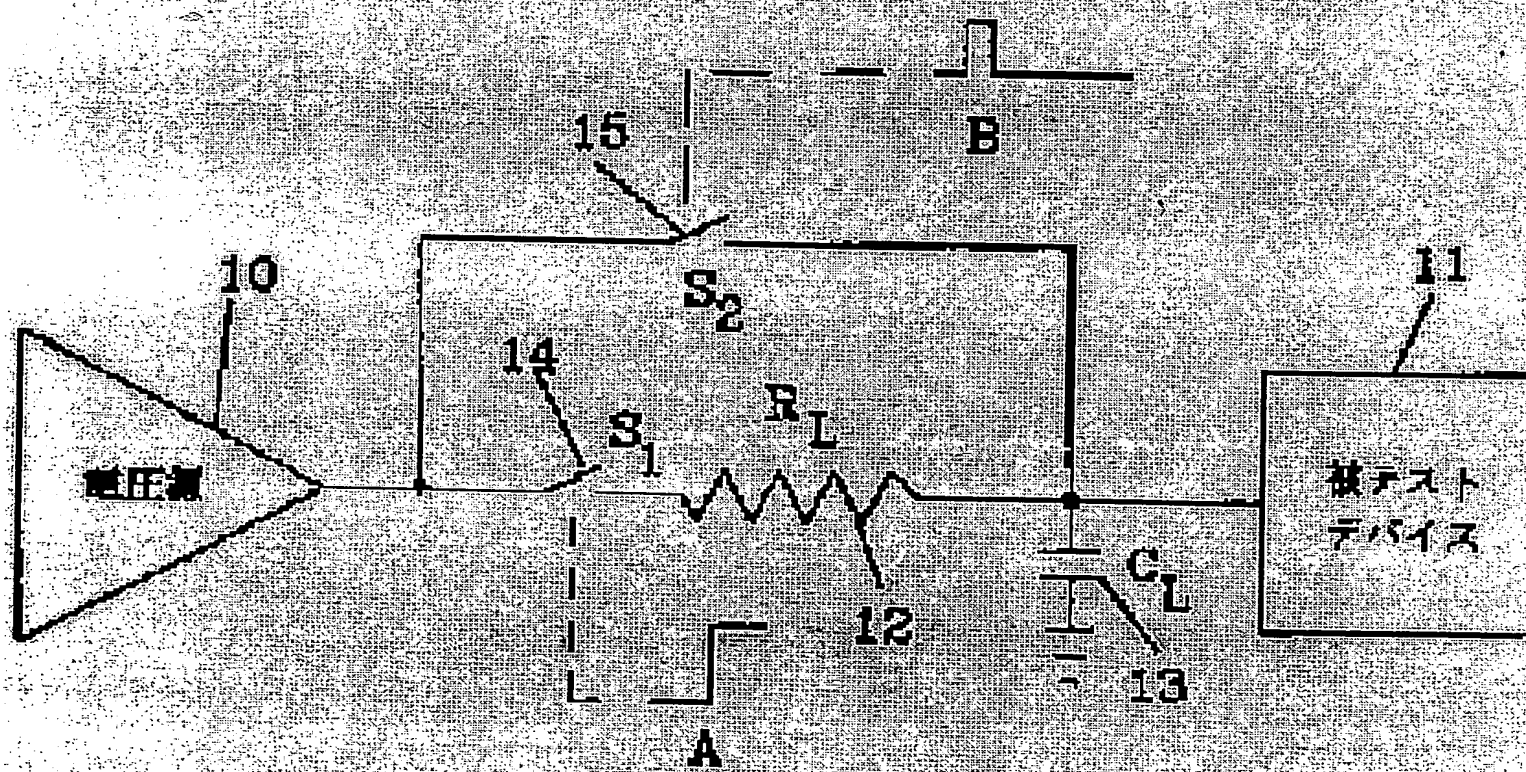
© WPI / DERWENT

TI - Semiconductor device testing circuit - has capacitor which is charged to test voltage by closing and opening switch
PR - US19930144939 19931029
PN - JP7239369 A 19950912 DW199545 G01R31/28 004pp
PA - (TEXI) TEXAS INSTR INC
IC - G01R31/28
AB - J07239369 The testing circuit uses a load circuit comprising a resistor (12), a capacitor (13) and switches (14,15). The load circuit is connected between a voltage source (10) and the device (11) to be tested. The first switch is placed in the load resistor path while the second switch is placed to connect the voltage source to the capacitor. The switch in the capacitor path is closed at several nano seconds and the capacitor is charged rapidly. The switch in the load resistor path is closed at the time, when the switch in capacitor path is opened to supply the charged voltage from the capacitor. The capacitor is charged to a test value and the charged voltage is given to the device that is to be tested.
- ADVANTAGE - Shortens time between test cycles. Shortens response time.
- (Dwg.1/3)
OPD - 1993-10-29
AN - 1995-349157 [45]

© PAJ / JPO

PN - JP7239369 A 19950912
PD - 1995-09-12
AP - JP19940265789 19941028
IN - MICHAEL C STORY
PA - TEXAS INSTR INC <TI>

- TI - CIRCUIT AND METHOD FOR ACCELERATING VOLTAGE BUILD UP TIME
- AB - PURPOSE: To provide a load circuit and a method for shortening the time necessary for a test node to reach a test voltage, and to shorten the time between test cycles, when the output of a semiconductor device is tested.
- CONSTITUTION: The load circuit comprises a load resistor 12 for current limiting, a load condenser 13, and the switches 14, 15, and is connected between a voltage source 10 and a device to be tested 11. The switch 15 instantaneously switches the periphery of the current limiting element of the load circuit. When the switch 15 is closed for several nanoseconds, the load condenser is rapidly charged, and the switch 14 is simultaneously closed. The switch 15 is opened, when the charged voltage reaches the test voltage. Thereby the response time of the circuit is remarkably shortened, and the time of the test cycle is shortened. The effect of the time shortening is particularly found in the test of the memory of large capacity.
- I - G01R31/28



(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

G 0 1 R 31/ 28

P

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平6-265789

(22) 出願日 平成6年(1994)10月28日

(31) 優先権主張番号 1 4 4 9 3 9

(32) 優先日 1993年10月29日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 マイクル シー. ストーリィ

アメリカ合衆国テキサス州ガーランド, ハ
ーディ サークル 2810

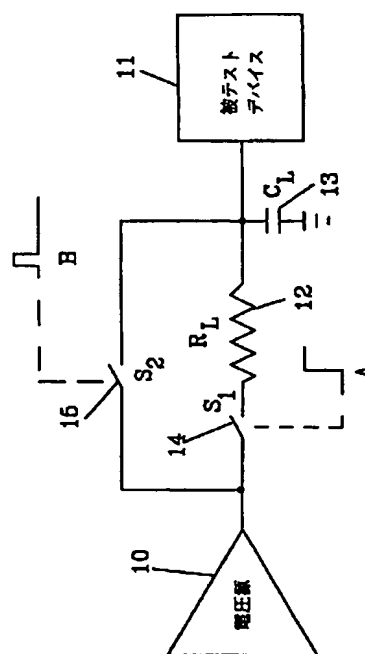
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 電圧立ち上がり時間を速める回路および方法

(57) 【要約】

【目的】 半導体デバイスの出力をテストする場合、テストノードがテスト電圧に到達するまでに必要な時間を短縮し、テストサイクル間の時間を短縮する負荷回路および方法を提供する。

【構成】 本負荷回路は、電流制限用負荷抵抗器 12、負荷コンデンサ 13、スイッチ 14、15 から構成され、電圧源 10 と被テストデバイス 11 との間に接続される。スイッチ 15 は負荷回路の電流制限素子のまわりを瞬間的にスイッチする。スイッチ 15 が数ナノ秒閉じると、負荷コンデンサが急速に充電され、同時にスイッチ 14 が閉じられる。充電電圧がテスト電圧になるとスイッチ 15 が開く。これにより回路の応答時間が大幅に短縮され、テストサイクル間の時間が短縮する。この時間短縮の効果は大容量メモリのテストに特に顕著に現れる。



【特許請求の範囲】

【請求項1】 半導体デバイスのテストサイクルの時間を短縮する回路であって、
電圧源と、

前記電圧源に接続された負荷回路と、
前記負荷回路および被テストデバイスとに接続されたノードコンデンサと、
負荷回路に並列で、電圧源とノードコンデンサとの間に接続された常時開いている電流経路と、を含み、
前記電流経路は、ノードコンデンサを急速に充電するため一時的に閉じられることを特徴とする前記回路。

【請求項2】 容量性ノードにいたる負荷回路を介して電圧がデバイスに印加される場合に、半導体デバイスをテストする時間を短縮する方法であって、
負荷回路と並列になっている第1のスイッチを閉じるステップと、
容量性ノードを直接充電するため、閉じられたスイッチを介して電流を供給する電圧を印加するステップと、を含むことを特徴とする前記方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体デバイスに関し、より詳細には半導体デバイスをテストする装置および方法に関する。

【0002】

【従来の技術および発明が解決しようとする課題】 集積回路をテストには、集積回路の出力端子をテストするため、ある形式の負荷回路が使用される。共通形式の負荷回路は、(1) 電圧源、コンデンサおよびスイッチ、
(2) 電圧源、電流源、コンデンサ、電流操作ブリッジ (current steering bridge) およびスイッチを利用している。何れの回路においても、使用される値はデバイスのテスト仕様によって決定される。特に、デバイスの V_{out} 、 I_{out} および C_{load} の値である。

【0003】 完全なスイッチを想定すると、第1の負荷回路の簡単な時間応答方程式は次のようになる。

$$\text{【数1】 } V_{out}(t) = V_1 (1 - e^{-t/RC})$$

ここに、 V_1 は電圧源の大きさである。

【0004】 レジスタおよびコンデンサの代表的な値は218オームおよび50ピコファラッドである。これらの値が与えられると、回路は10.9ナノ秒の時間定数を持つことになる。従って、回路の応答時間は60ナノ秒より大きい。

【0005】 第2の負荷回路の応答は線形ランプ (linear ramp) になる。ランプの大きさは電圧源によって決定され、傾斜は電流とコンデンサによって決定される。定電流型である第2のタイプの応答時間は次に示す方程式により決定される。

【数2】

$$I = C \frac{dv}{dt}$$

$$T = V(pp) / (dv/dt)$$

さらに、

$$T = V(pp) / (I/C)$$

【0006】 代表的な値、0.005アンペア、1.5ボルトおよび50ピコファラッドで全ランプ時間が15ナノ秒の応答時間になる。

【0007】 どちらの場合でも、回路 (出力ノード) が指定値に達するまでかなりの時間が必要である。この時間の間、負荷回路は「無効」であり、テストを実行することはできない。大容量のメモリデバイスに「リード・モディファイ・ライト (READ-MODIFY-WRITE)」テストを実行する場合、この損失時間は特に顕著になる。

【0008】

【課題を解決する手段】 本発明は、デバイステスト間で要求される時間を短縮しかつテストノードがテスト電圧に到達するまでに必要な時間を短縮する回路と方法に関するものである。負荷コンデンサ充電スイッチ (Line Charge Load Switch) は負荷回路の電流制限素子のまわりを瞬間的にスイッチする。スイッチが数ナノ秒閉じると、あるいはオンになると、ノードコンデンサが急速に充電される。負荷ノードは約5~10ナノ秒で電源電圧まで充電され、テストサイクル間で50ナノ秒に等しいむだ時間が短くなる。テストサイクル間の時間の短縮により全体のテスト時間が短縮する。1メガビットのデバイスに適用した場合、各サイクルに対する50ナノ秒の時間が短縮すると、テストした各デバイスに対して0.1秒あるいはそれ以上の時間の節約になる。

【0009】 添付図面と共に、添付の請求の範囲に明確に記述されている新しい特徴を検討すれば、本発明の目的はもちろん、本発明によって示された技術の前進は、以下に述べる本発明の好適実施例の説明から明らかになるであろう。

【0010】

【実施例】 図1は本発明を実現するテスト回路を示している。電圧源10は被テストデバイス11に接続されている。この接続には負荷抵抗器12および負荷コンデンサ13とが含まれている。電圧源が被テストデバイス11に接続されると、負荷抵抗器および負荷コンデンサにより遅延応答時間が生じる。抵抗器およびコンデンサの代表的な値は218オームおよび50ピコファラッドである。これらの値が与えられると、回路は10.9ナノ秒の時間定数を持つことになる。したがって、回路の応答時間は60ナノ秒より大きい。

【0011】 第2の負荷回路の応答は線形ランプになる。ランプの大きさは電圧源によって決定され、傾斜は電流とコンデンサによって決定される。応答時間を短縮するために、負荷コンデンサ充電スイッチは、

抵抗器 12 を含む負荷回路の電流制限素子のまわりを瞬間的にスイッチする。スイッチ 15 が数ナノ秒閉じると、あるいはオンになると、ノードコンデンサ 13 が急速に充電される。負荷ノードは約 5 ～ 10 ナノ秒で電源電圧まで充電され、テストサイクル間で 50 ナノ秒のむだ時間 (dead time) が減少する。テストサイクル間の時間の短縮により全体のテスト時間が短縮する。1メガビットのデバイスに適用した場合、各サイクルに対する 50 ナノ秒の時間が短縮すると、テストした各デバイスに対して 0.1 秒あるいはそれ以上の時間の節約になる。

【0012】図 2 は、スイッチ 14、15 の開閉に対するタイミングを示している。スイッチ 15 (B) が閉じると同時に、スイッチ 14 (A) が閉じる (t_1)。ノードコンデンサが充電された後、時間 t_2 でスイッチ 15 が開く。

【0013】図 3 は、テスト中およびテストの準備中のステップのシーケンスを示している。ステップ 20 で、スイッチ 14、15 が閉じられる。ステップ 21 で電圧源 10 がノードコンデンサに加えられると、ステップ 22 でノードコンデンサ 13 が充電される。ノードコンデンサ 13 が充電された後、ステップ 23 でスイッチ 15 が開く。ステップ 24 で被テストデバイスがテストされる。

【0014】本発明のテスト回路は、テストサイクル間の時間の短縮によりテスト時間が短縮するので、テストするためにかかる時間を大幅にスピードアップする。1メガビットのデバイスに適用した場合、各サイクルに対する 50 ナノ秒の時間が短縮すると、テストした各デバイスに対して 0.1 秒あるいはそれ以上の時間の節約になる。本発明の回路を使用しないときにテストしたデバイスの数と比較した場合、この時間の節約によりテストしたデバイスの数は非常に大きな数になる。

【0015】以上の説明に関して更に以下の項を開示する。

1. 半導体デバイスのテストサイクルの時間を短縮する回路であって、電圧源と、前記電圧源に接続された負荷回路と、前記負荷回路および被テストデバイスとに接続されたノードコンデンサと、負荷回路に並列で、電圧源とノードコンデンサとの間に接続された常時開いている電流経路と、を含み、前記電流経路は、ノードコンデンサを急速に充電するため一時的に閉じられる、ことを特徴とする回路。

【0016】2. 第 1 項記載の回路であって、前記負荷回路と直列に接続されたスイッチを含み、前記スイッチは並列電流経路が閉じられたとき閉じられることを特徴とする回路。

【0017】3. 第 1 項記載の回路であって、前記電流経路は 1 つのスイッチであることを特徴とする回路。

【0018】4. 第 1 項記載の回路であって、前記電流

経路はスイッチ可能な半導体デバイスを通っていることを特徴とする回路。

【0019】5. 半導体デバイスのテストサイクルの時間を短縮する回路であって、電圧源と、前記電圧源に接続された負荷回路と、前記負荷回路および被テストデバイスとに接続されたノードコンデンサと、負荷回路に並列で、電圧源とノードコンデンサとの間に接続された第 1 のスイッチと、を含み、前記第 1 のスイッチは、ノードコンデンサを急速に充電するため一時的に閉じられる、ことを特徴とする回路。

【0020】6. 第 1 項記載の回路であって、前記負荷回路と直列に接続された第 2 のスイッチを含み、前記第 2 のスイッチは、並列電流経路が閉じられたとき、閉じられることを特徴とする回路。

【0021】7. 第 5 項記載の回路であって、前記第 1 のスイッチは、スイッチ可能な半導体デバイスであることを特徴とする回路。

【0022】8. 電圧が負荷回路から容量性ノードを介してデバイスに印加される場合に、半導体デバイスをテストする時間を短縮する方法であって、負荷回路と並列になっている第 1 のスイッチを閉じるステップと、電圧を印加して電流を閉じられたスイッチを介して供給し容量性ノードを直接充電するステップと、を含むことを特徴とする方法。

【0023】9. 第 8 項記載の方法であって、第 1 のスイッチが閉じられると同時に、電圧源と負荷回路との間の第 2 のスイッチを閉じるステップを含むことを特徴とする方法。

【0024】10. 第 8 項記載の方法であって、第 1 のスイッチが閉じられると同時に、電圧源と負荷回路との間の第 2 のスイッチを閉じるステップを含むことを特徴とする方法。

【0025】11. 電圧が負荷回路から容量性ノードを介してデバイスに印加される場合に、半導体デバイスをテストする時間を短縮する方法であって、負荷回路と並列になっている第 1 のスイッチを閉じるステップと、第 1 のスイッチが閉じられると同時に、電圧源と負荷回路との間の第 2 のスイッチを閉じるステップと、電圧を印加して電流を閉じられたスイッチを介して供給して容量性ノードを直接充電するステップと、容量性ノードが充電された後、負荷回路を介して電流を流すため第 1 のスイッチを開くステップと、を含むことを特徴とする方法。

【0026】12. 本発明は、デバイステストの間に要求される時間を短縮しかつテストノードがテスト電圧に到達するまでに必要な時間を短縮する回路と方法に対する発明である。負荷コンデンサ充電スイッチは負荷回路の電流制限素子のまわりを瞬間的にスイッチする。スイッチが数ナノ秒閉じると、あるいはオンになると、ノードコンデンサが急速に充電される。同時に、負

荷コンデンサ充電スイッチが閉じられる。

【図面の簡単な説明】

【図 1】 本発明のテスト回路を示す図。

【図 2】 スイッチ 1 およびスイッチ 2 のタイミングを示す図。

【図 3】 テストサイクルの流れ図を示す図。

【符号の説明】

10 電圧源

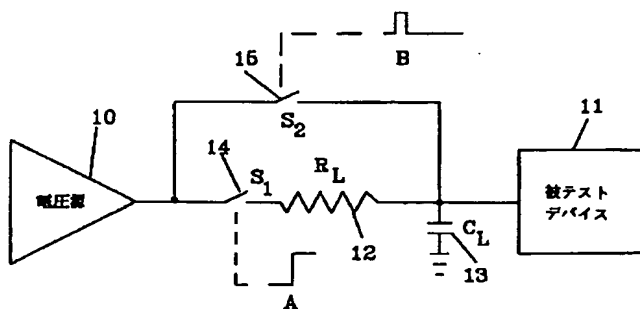
11 被テストデバイス

12 負荷抵抗器

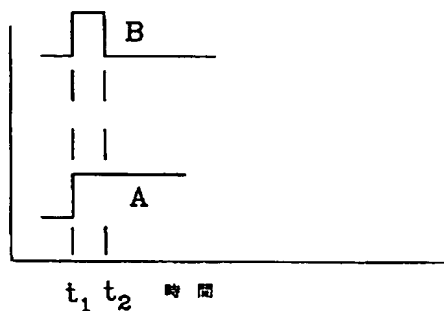
13 負荷コンデンサ

14、15 スイッチ

【図 1】



【図 2】



【図 3】

